

NoC 系统测试软件设计

许川佩, 孙统雷, 万春霆

(桂林电子科技大学 电子工程与自动化学院, 广西自动检测技术与仪器重点实验室, 广西 桂林 541004)

摘 要: 针对片上网络故障检测的需求, 采用复用 NoC 通讯架构与边界扫描相结合的技术, 实现 NoC 系统故障检测软件的设计. 主要以 NoC 中 SRAM、组合电路为测试对象, 研究其易发故障的模型, 采用易于实现且故障覆盖率高的 March C+、G-F 算法获得测试矢量, 完成故障测试. 该设计软件具有人机界面友好、操作简便的优点, 可通过图形化的方法实现故障定位. 在 NoC 系统平台上进行测试, 结果表明在增加较少外围电路的情况下, 即可完成对 NoC 系统中易发故障的检测, 实现了预定功能.

关键词: 片上网络; SRAM; March C+; G-F; 数据转换通信模块; 测试矢量

中图分类号: TP393

文献标识码: A

文章编号: 1000-7180(2015)11-0021-06

The Software Design of NoC System Testing

XU Chuan-pei, SUN Tong-lei, WAN Chun-ting

(Guangxi Key Laboratory of Automatic Detecting Technology and Instruments, School of Electronic Engineering and Automation, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: According to the requirements of NoC fault detection, a technology combining the multiplex NoC communication architecture with boundary scan has been adopted to realize the design of the fault detection software for the NoC system. In this paper, the main testing objects are SRAM and combinational circuit of NoC. The fault models, whose faults occurred frequently, are researched. The March C+ and G-F algorithms, which are easy to implement and have high fault coverage, to obtain the test vectors and achieve fault test. The design has the advantages of the friendly man-machine interface, and is easy to use, and fault location can be realized with graphical method. Through testing on NoC platform, the results show that fault detection for the faults easy to occur in NoC system can be completed with the condition of the increase in few peripheral circuits, the intended functions have been achieved.

Key words: Network on chip; SRAM; March C+; G-F; data communication conversion module; test vector

1 引言

片上网络(Network on Chip, NoC)是为了解决片上系统面临的总线地址空间有限、单一时钟限制等问题而提出的一种新的通信方式, 其改善了传统 SoC(System on Chip)系统的性能, 是未来多核技术发展的必然趋势^[1].

随着 NoC 体系结构复杂度的提高, 资源节点的种类逐渐增多, 由制作工艺、串扰等引起的故障也越

来越多^[2]. 目前对 NoC 系统的测试研究主要有路由器内部组成结构(如 FIFO)、通信架构和互连线等, 对资源节点的测试则以 SRAM 等存储器为主, 多采用内建自测试方法^[3], 此方法的测试结构设计虽比较自由, 但要占用片上资源, 导致芯片面积增加. 目前还鲜有对其他类型资源节点进行测试的研究.

本文以常见的 SRAM 和组合电路为测试研究对象, 围绕易发故障, 采用 March C+、G-F 算法, 复用 NoC 通讯架构和边界扫描相结合技术进行故障

收稿日期: 2015-01-16; 修回日期: 2015-03-10

基金项目: 桂林电子科技大学研究生教育创新计划资助项目(GDYCSZ201476)

测试软件设计. 该方法只需增加较少的外围电路, 即可完成对 NoC 系统中易发故障的检测.

2 NoC 系统结构

NoC 系统采用一个 3×3 的 2D-Mesh 结构, 通过 IP 核复用技术将路由器相连构成. 路由器采用虫洞交换机制, 路由算法采用多播路由算法. NoC 系统结构模型如图 1 所示, R 代表路由器, S 代表资源节点, ■代表资源网络接口. SRAM 和组合电路为其中的 IP 核. 本文以 NoC 系统为测试研究对象, 设计一种边界扫描和复用通讯架构技术相结合的测试软件, 完成 SRAM 和组合电路中常见故障的测试.

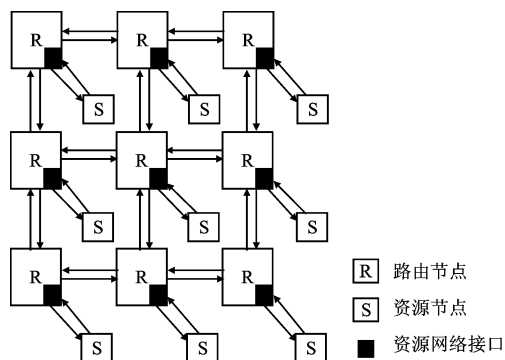


图 1 基于 2D-Mesh 的 3×3 NoC 系统模型

3 NoC 测试系统

NoC 测试系统由测试软件、数据转换通信模块和被测 NoC 系统组成, 系统组成如图 2 所示.

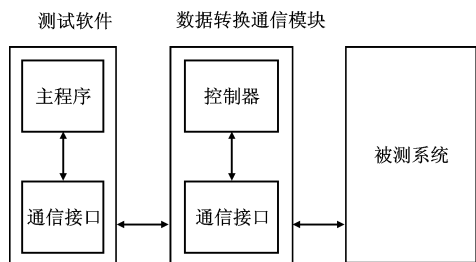


图 2 系统组成框图

(1) 测试软件负责控制 NoC 系统工作, 并完成 NoC 系统的故障检测. 软件集成了所有 IP 核的测试操作选项和矢量数据, 用于完成测试对象选择和测试参数的设定. 测试软件将矢量数据通过数据转换通信模块发送给被测 NoC 系统, 并接收返回的测试响应数据, 分析故障信息, 实现故障的侦查和定位.

(2) 数据转换通信模块负责数据协议的处理. 测试软件和被测 NoC 系统的通信数据由本模块完成

协议格式转换.

(3) 被测 NoC 系统^[4]控制资源节点完成测试操作, 并通过数据转换通信模块将测试响应数据返回测试软件.

测试软件、数据转换通信模块和被测 NoC 系统三者之间构成控制、转换、矢量施加的层次关系, 在测试软件上触发待测资源节点的测试命令后, 测试软件将数据发送到数据转换通信模块以完成数据协议的转换, 最终发送到路由器网络, 传输并施加给被测资源节点. 测试响应数据以相反的路径从 NoC 系统返回测试软件, 最终根据故障检测步骤侦查定位资源节点所存在的故障.

4 故障模型及算法

4.1 SRAM 故障模型及算法

SRAM 故障主要有固定型故障、状态转换故障、耦合型故障、开路型故障、寻址故障等类型^[5]. 本设计主要对 SRAM 中常见的固定型故障、状态转换故障、耦合型故障, 开路型故障, 数据保留故障进行测试.

常见的 SRAM 的测试算法有 March、MATS+、Checkerboard 等. 其中 March 算法是一种适合于存储器测试的算法, 具有较高的故障覆盖率和较小的时间复杂度^[6], 满足了对 SRAM 测试的基本要求. 本设计对 SRAM 的测试采用 March 算法的改进型算法 March C+ 算法. March C+ 测试过程如下:

$$\left\{ \frac{\{W_0 \uparrow\}}{1}, \frac{\{R_0 \uparrow, W_1 \uparrow\}}{2}, \frac{\{R_1 \uparrow, W_0 \uparrow\}}{3}, \right. \\ \left. \frac{\{R_0 \downarrow, W_1 \downarrow\}}{4}, \frac{\{R_1 \downarrow, W_0 \downarrow\}}{5}, \frac{\{R_0 \downarrow\}}{6} \right\}$$

其中 $\uparrow$ 表示存储器地址升序, $\downarrow$ 表示存储器地址降序. W_x 表示对存储器单元写入 x 操作, R_x 表示读 x 操作.

通过 March C+ 算法的步骤 1~3 可检测固定型故障、状态转化故障和耦合型故障, 步骤 2~4 可检测开路故障和寻址故障.

4.2 组合电路故障模型及算法

组合电路故障主要有固定型故障、桥接故障和开路故障.

固定型故障是指电路中某一信号线上信号在运行中固定在一个值上. 在数字电路所有故障中, 固定型故障达到 90% 以上, 而且其他类型的故障也可等效为固定型故障^[7]. 开路故障是指电路中的物理线

路断路而出现的故障,由于接触不良而导致的开路故障是电路中经常出现的情形之一.桥接故障是指电路中两根或两根以上不相连的线连接在一起并形成逻辑,随着元器件集成度的提高,桥接故障也逐渐成为主要的故障类型之一.

组合电路测试算法主要有布尔差分法、D 算法、临界路径法以及 G-F 算法等.各算法的比较如表 1 所示.

表 1 组合电路测试算法比较

测试算法	特点	范围
布尔差分法	大量布尔差分运算,复杂度高	组合电路
D 算法	大量的返回操作,难付诸实际应用	可测故障
临界路径法	多路径敏化的故障可能找不到测试	固定型故障
G-F 算法	易于实现,效率高	组合电路 时序电路

布尔差分法将电路描述为抽象的数学表达式模型,并进行严密的数学推导.布尔差分法仅适用于组合逻辑电路,对于复杂性较高的电路用它进行测试生成时需要做大量的布尔差分运算,复杂度高.

D 算法利用多维敏化的思想,将故障敏化到电路的输出端,从而使故障可观测.它用 5 个值(0,1,X,D, $\bar{D}$)描述电路中节点的状态.由于 D 算法在敏化通路时随机性较大,而造成大量返回操作,因此难以应用到实际的电路测试中.

G-F 二值算法将布尔差分法与 D 算法的立方体方式相结合,充分利用二者的优点,提高了效率.G-F 二值算法相比其他算法简化了实现,且善于处理复杂电路,便于处理多故障^[8].因此本文采用 G-F 二值算法对组合电路进行测试,测试矢量的求解步骤如下:

- (1)故障激活:求故障功能块的激活条件表达式;
- (2)故障传播:构造敏化路径,并求出路径上各敏化功能块的传播条件表达式;
- (3)按(1)、(2)中得出结果建立测试码方程;
- (4)方程求解.

5 数据转换通信模块设计

数据转换通信模块以 AT89S52 作为主控芯片,采用 25 针并行接口与 NoC 系统进行通信,AT89S52 与 PC 端测试软件的 USB 通信采用 FT245RL 实现.由于工作电压的不同,在信号传输时应进行电平转换.数据转换通信模块的硬件结构

如图 3 所示.

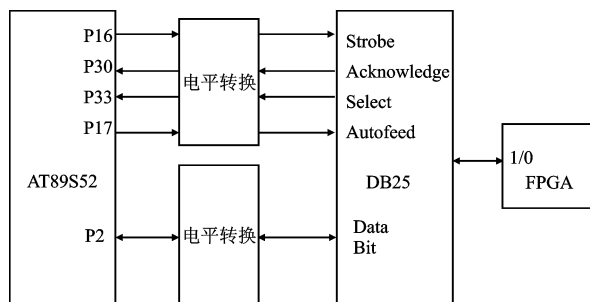


图 3 数据转换通信模块硬件结构图

并行接口相对串行接口具有数据传送速度快的优点,因此采用并行接口作为 NoC 系统的通信接口.主要管脚的的定义如表 2 所示.

表 2 并行接口管脚定义

端口号	名称	重定义
1	Strobe	RD
2~9	Data0~Data7	Data0~Data7
10	Acknowledge	RD ACK
13	Select	WR
14	Auto feed	WR ACK
15	Error	—

经测试, NoC 系统在 50 MHz 时钟下,经适当分频可以有效、高速地与数据转换通信模块完成并行通信.通过 Quartus II 软件自带的 SignalTap II 逻辑分析仪观察数据收发时序如图 4 所示,仿真结果验证了该设计的正确性.

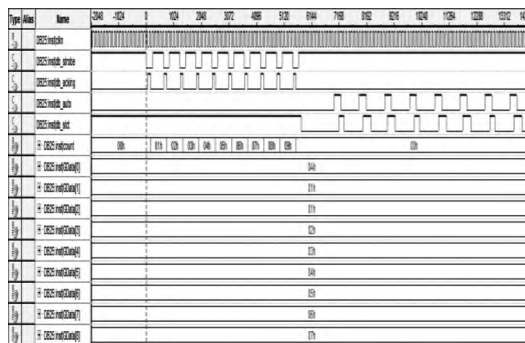


图 4 25 针并行接口收发时序

6 测试软件设计与实现

6.1 软件结构

测试软件基于 Visual Studio 2012 平台开发,使用 C++ 语言完成程序的编写.软件由人机交互界面、USB 检测通信模块、测试矢量生成模块、SRAM 测试和故障侦查与定位模块五部分组成,整体功能

结构如图 5 所示.

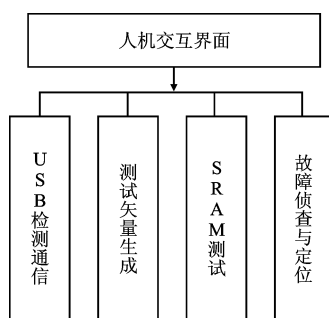


图 5 软件结构组成

人机交互界面主要包括操作选择、资源节点原理显示、测试矢量显示、SRAM 读写控制和组合电路运算结果显示等.

USB 检测通信模块自动搜寻插入的数据转换通信模块并建立通信. 程序中通过数据转换通信模块中 FT245RL 的 VID(Vendor ID)和 PID(Product ID), 实现数据转换通信模块的自动识别功能.

测试矢量是故障测试的关键部分, SRAM 和组合电路故障检测所需的测试矢量分别由 March C⁺、G-F 算法计算得到, 并存储在计算机中, 测试矢量生成模块在收到测试命令后生成并加载测试矢量.

SRAM 测试模块利用 March C⁺ 算法完成对存储器的测试工作. 为了能提高故障测试的覆盖率, 当 March C⁺ 算法读写存储单元的数据为“0”时将该数据扩展为“0000000000000000”, “0101010101010101”等, 对应数据为“1”时扩展为“1111111111111111”, “1010101010101010”等.

故障侦查与定位模块将测试矢量施加到被测 NoC 系统并获取测试响应, 根据测试响应数据分析是否存在故障, 侦查到故障后, 对故障位置定位并显示.

6.2 测试软件工作流程

测试软件初始化后, 自动查找数据转换通信模块, 系统处于待测试状态. 收到测试命令后, 生成并加载测试矢量, 并将测试矢量按顺序施加到被测 NoC 系统. 测试完成后, 根据测试响应数据侦查故障并定位, 测试软件同时记录测试时间等信息. 单次工作流程如图 6 所示.

6.3 测试软件模块实现

6.3.1 USB 查找

连接于计算机的每种设备都有独有的 VID 和 PID, 这些设备号在 Windows 操作系统中用固定的

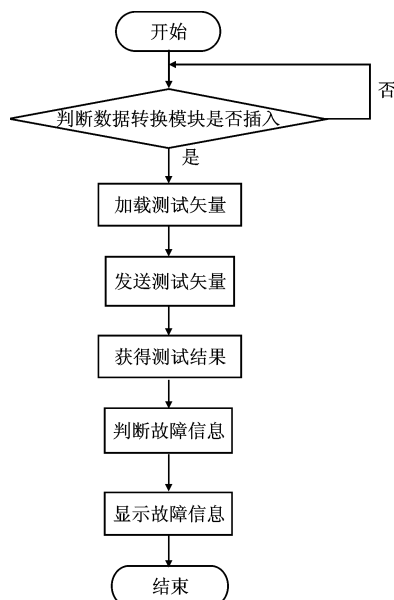


图 6 软件实现流程

GUID(Globally Unique Identifier) 来标识, 因此通过 GUID 即可获得设备接口的 VID 和 PID 信息. 本测试软件通过该方法获得数据转换通信模块的详细信息, 查找数据转换通信模块设备的流程如图 7 所示.

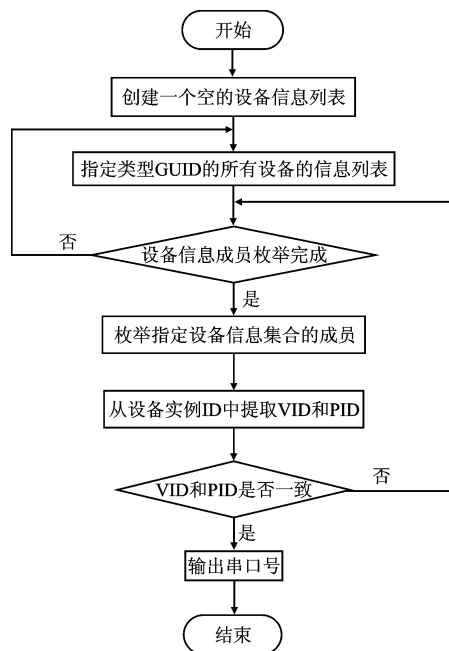


图 7 USB 自动查找实现流程

通过以上步骤即可查找到数据转换通信模块的 VID 和 PID, 从而获得设备端口号, 获取端口号的主要程序代码如下:

```

if (VendorID == VendorIDnumber && ProductID == ProductIDnumber)
  
```

```

{
    SetupDiGetDeviceRegistryProperty ( hDevInfo,
    &DeviceInfoData, SPDRP_FRIENDLYNAME, 0,
    (PBYTE) fname, sizeof(fname), NULL);
    TCHAR * StrCom = _tcsstr ( fname, TEXT ("
COM"));
    if(StrCom != NULL)
        num=(USHORT)_tcstoul(StrCom + 3, NULL, 16);
}

```

6.3.2 SRAM 测试

使用 switch 分支语句实现 March C+ 算法的六个步骤,实现流程如图 8 所示. 测试矢量全部加载后,显示本次测试时间与 SRAM 故障地址.

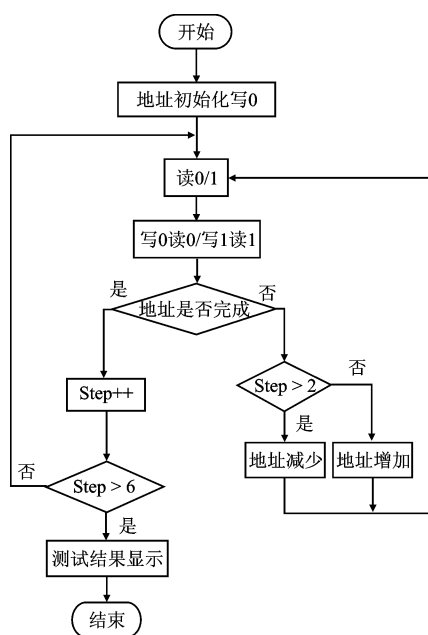


图 8 SRAM 测试实现流程

6.3.3 故障侦查与定位

选择组合电路测试后,程序将加载组合电路的原理图并将测试矢量依次施加到 NoC 系统, NoC 系统接收到数据转换通信模块转发的测试数据后,根据多播路由算法,将测试数据发送到对应资源节点,控制资源节点完成相应操作,并通过数据转换模块返回测试响应数据.

故障侦查与定位模块将测试响应数据与正确结果比对,若不一致,则可由测试矢量对应的敏化路径得到故障位置,从而实现故障定位. 随后在原理图中指示故障位置. 实现流程如图 9 所示.

7 实验结果与分析

测试软件界面如图 10 所示. 在 NoC 系统平台

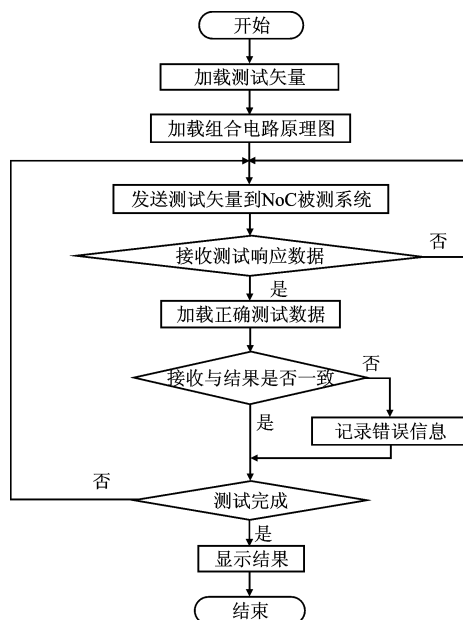


图 9 故障侦查与定位实现流程

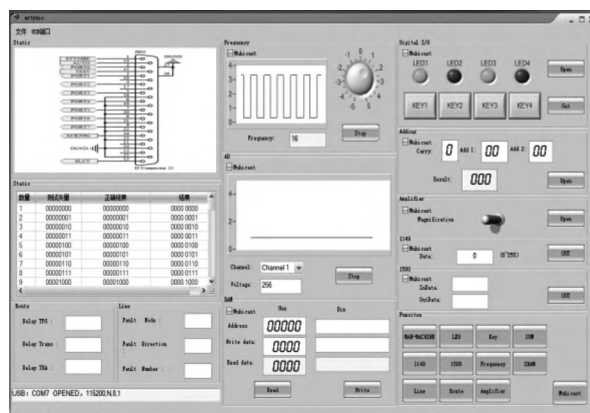


图 10 软件主界面

上进行故障检测实验,验证软件功能.

被测 NoC 系统中 SRAM 采用 IS61MV102416BLL 芯片设计, March C+ 算法进行测试. 程序依次加载五组测试矢量,并完成 March C+ 算法的测试步骤. 测试过程中,若存在故障,则记录该步骤对应 SRAM 地址、正确数据和错误数据. 对 SRAM 进行故障设置后对其测试,以 1024 字节为例,测试完成后,测试时间为 1 826 725 ms. 测试结果如图 11 所示. 例如图中序号 3 处的信息表示对地址 0x0000 进行 March C+ 算法第二步读 0 操作时,正确数据应为 0x0000,而 SRAM 中实际存储数据为 0xFFFF,表明此处地址存在固定型故障.

组合电路测试以图 12 为例,在图中 A-4 处设置开路故障,通过施加由 G-F 算法得到的测试矢量可准确定位故障门位置.

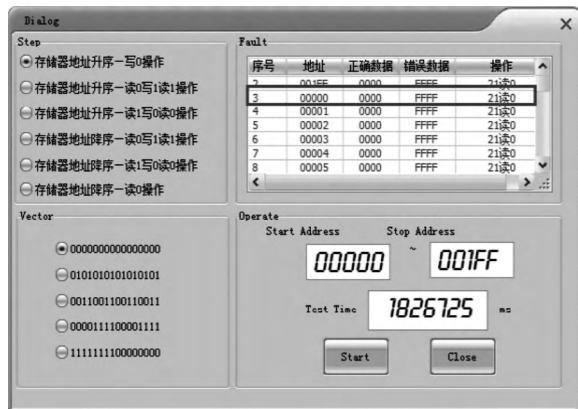


图 11 SRAM 测试结果

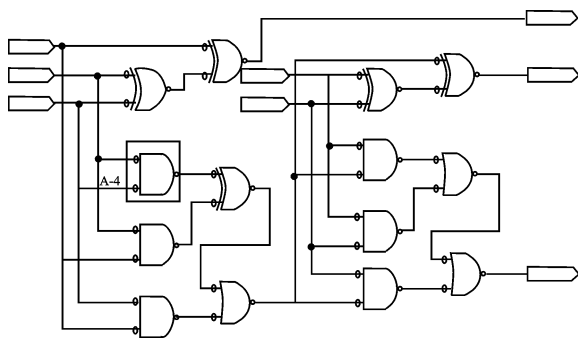


图 12 组合电路故障定位

全部完成 SRAM 和组合电路的故障检测实验, 结果如表 3 所示, 验证了测试软件的正确性。

表 3 可测故障汇总

故障类型	SRAM	组合门电路
固定故障	√	√
开路故障	√	√
耦合故障	√	√
状态转换故障	√	无
寻址故障	√	无

8 结束语

本文研究采用复用 NoC 通讯架构与边界扫描相结合的技术,对 NoC 系统进行故障检测软件的设计。测试软件采用模块化的设计思想,将软件分为人

机交互界面、USB 检测通信、测试矢量生成、SRAM 测试和故障侦查与定位五个模块。模块化设计使软件具有较强的独立性,且方便程序的调试与扩展。测试软件包含对 SRAM 和组合电路易发故障的测试及故障显示等功能。

通过对 NoC 系统 SRAM 和组合电路的故障检测实验表明,本设计软件能够正确检测 SRAM 和组合电路中存在的故障,通过图形化的方法实现故障定位,具有人机界面友好、操作简便的优点。该软件能够完成故障测试任务,实现了预定功能。

参考文献:

- [1] 何世超,蔡觉平,郝跃. 基于分组网络结构 NoC 的 BIST 串扰测试方法[J]. 微电子学, 2007, 37(6): 852-856.
- [2] 刘毅,杨银堂. 一种面向片上网络的多时钟路由器设计[J]. 西安电子科技大学学报:自然科学版, 2011, 38(2):146-150.
- [3] 马琪,裴燕锋. 片上 SRAM 内建自测试的实现方法[J]. 计算机研究与发展, 2010, 47(3):185-189.
- [4] 许川佩,任智新. 基于 FPGA 的 NoC 路由节点的设计[J]. 微电子学与计算机, 2012,29(8):53-57.
- [5] Dekker R, Beenker F, Thijssen L. A realistic fault model and test algorithms for static random access memories[J]. IEEE transaction on CAD, 1990, 9(6): 567-572.
- [6] 许川佩,陶意,吴玉龙. 片上网络存储器的 BIST 电路设计[J]. 微电子学与计算机, 2013, 30(10):105-109.
- [7] 徐拾义. 组合电路中短路故障和固定型故障的测试[J]. 应用科学学报, 1984, 2(3):233-239.
- [8] 盛运焕,曾芷德. “G-F”二值算法处理多故障[J]. 计算机学报, 1987,4(4):252-257.

作者简介:

许川佩 女,(1968-),博士,教授,硕士生导师.研究方向为自动测试总线与系统集成电路测试理论与技术。

孙统雷(通讯作者) 男,(1984-),硕士研究生.研究方向为集成电路测试. E-mail:suntl2008@163.com.